

**Improvements in or relating to memory devices**

Patent Number: ☐ EP0831493  
Publication date: 1998-03-25  
Inventor(s): NAKAMURA MASAYUKI (JP); THURSTON PAULETTE (US); MCADAMS HUGH P (US); KOELLING JEFFREY E (US)  
Applicant(s): HITACHI LTD (JP); TEXAS INSTRUMENTS INC (US)  
Requested Patent: ☐ JP10125063  
Application Number: EP19970307404 19970923  
Priority Number (s): US19960717540 19960923  
IPC Classification: G11C7/00  
EC Classification: G11C7/10M2, G11C7/10, G11C7/10S  
Equivalents: SG68633, TW391003, ☐ US5802005  
Cited patent(s):

**Abstract**

A synchronous DRAM memory device has four banks B0, B1, B2 and B3 of memory cell arrays 302-332 arranged across the length of the substrate 300. Each received address causes column address generators to select four bits of data for each bit of data in a data word. Data sequence circuits convey the four selected data bits to data bit bond pads 334,336 on the substrate in timed and selected

sequential or interleaved order. 

Data supplied from the esp@cenet database - I2

AL

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125063

(43) 公開日 平成10年(1998) 5月15日

(51) Int. Cl.<sup>6</sup>

識別記号

F-I

G 1 1 C 11/407

G 1 1 C 11/34

3 6 2 S

11/401

3 6 2 H

審査請求 未請求 請求項の数 2 O L (全 27 頁)

(21) 出願番号 特願平9-258878

(22) 出願日 平成9年(1997) 9月24日

(31) 優先権主張番号 7 1 7 5 4 0

(32) 優先日 1996年9月23日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 ナカムラ マサユキ

東京都青梅市河辺町 5-25-7 グリーン  
フォレスト 101

(72) 発明者 ジェフリー イー. ケーリング

アメリカ合衆国テキサス州プラノ, プレス  
トン ロード 19019, アパートメント  
ナンバー 522

(74) 代理人 弁理士 浅村 皓 (外 3 名)

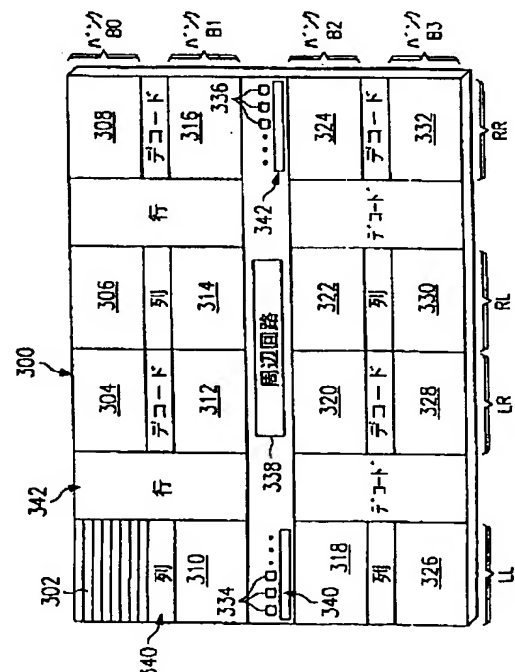
最終頁に続く

(54) 【発明の名称】 SDRAM装置およびその方法

(57) 【要約】

【課題】 クロック信号に同期してデータバーストを送信および受信する同期式ダイナミックランダムアクセスメモリ装置 (SDRAM) を提供する。

【解決手段】 同期式DRAMメモリ装置は、基板300の長さ亘って配置されたメモリセルアレイ302-332の4個のバンクB0、B1、B2、およびB3を有する。各々の受信された番地によって、列番地発生器が1つのデータワード中の各データビットに対して4個のデータビットを選択する。データシーケンス回路がその選ばれた4個のデータビットを、選ばれたタイミングをとった順序で、あるいはインターリーブ順に、基板上のデータビットボンディングパッド334、336へ運ぶ。



## 【特許請求の範囲】

【請求項1】 メモリ装置であって、

- a. メモリ装置上の複数のデータビットボンディングパッドであって、前記装置との間でデータ信号をやり取りするためのものであり、各データビット信号毎に1個のデータビットボンディングパッドが存在し、前記装置が一時に複数のデータビット信号を転送できるようになった複数のデータビットボンディングパッド、
  - b. 各行番地に対して一群の行番地信号を受信して、選ばれたワードライン信号を発生させるワードライン番地発生器、
  - c. 各列番地に対して一群の列番地信号を受信して、列選択信号を発生させる列選択信号発生器、
  - d. ワードラインとビットラインの交点に配置されたメモリセルのアレイであって、複数のメモリセルが選ばれたワードライン信号を受信して、記憶されているデータ信号をビットラインへつなぐように動作するメモリセルのアレイ、
  - e. ビットラインからデータ信号を受信して、データ信号を増幅するセンスアンプ、
  - f. 列選択信号を受信して、一定数の増幅されたデータ信号をセンスアンプから各データビットボンディングパッドに対するサブI/Oラインへ運ぶセンスアンプ選択回路、
  - g. サブI/Oラインから中間I/Oラインへデータ信号を運ぶ中間アンプであって、各データビットボンディングパッド当たり特定数の中間I/Oラインが存在するように設けられた中間アンプ、
  - h. 中間I/Oラインからデータ信号を受信して、前記データ信号をグローバルI/Oラインへ運ぶメインアンプであって、各データビットボンディングパッド当たり決まった数のメインアンプが存在するようにされており、前記一定数、特定数、および決まった数がすべて互いに等しい数である、メインアンプ、および
  - i. グローバルI/Oラインからそれぞれ対応するデータビットボンディングパッドへデータ信号を運ぶデータ回路、を含むことを特徴とするメモリ装置。
- 【請求項2】 メモリ装置上のデータビットを、データビットボンディングパッドとメモリ記憶セルとの間で転送する方法であって、
- a. 前記メモリ装置へ供給される一群の行番地信号に回答して、複数のメモリセル中に記憶されているデータビット信号をビットラインへつなぐ工程、
  - b. 前記メモリ装置へ供給される一群の列番地信号に回答して、ビットライン上の一定数のデータビット信号をメモリ装置上のI/Oラインへ運ぶ工程、および
  - c. 特定数のデータビット信号をタイミングをとった順序に従って1つのデータビットボンディングパッドへ運ぶ工程であって、ここにおいて前記一定数と前記特定数とが互いに等しい数である、を含むことを特徴とする方

法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般には半導体集積回路メモリ装置に関するものであって、更に詳細にはクロック信号に同期してデータバスを送信および受信するような同期式ダイナミックランダムアクセスメモリ装置（SDRAM）に関する。

## 【0002】

【従来の技術】DRAMはデスクトップ型やその他のコンピュータ、およびメモリ装置を必要とするその他の電子機器に使用されている。DRAMを使用する一般的な理由には、1個の半導体チップ上に最も高密度のメモリセルを供給できること、記憶データビット当たりのコストが比較的低いこと、そしてそのコストの割に比較的高速であること、が含まれる。技術の進歩によって、DRAMメモリ装置の各世代毎にチップ上のメモリセルの数は4倍の割合で増大してきた。100メガヘルツ以上で動作するより最近のマイクロプロセッサを用いることによって、そのマイクロプロセッサへデータおよび命令を供給するためにより高速なDRAMが必要とされてきた。

【0003】このようなより大きな記憶容量とより高い速度に対する要求に応えるために、データ、番地、および制御信号の転送をクロック信号に同期させて行うDRAMが開発された。より大きな記憶容量およびより高い速度に対するこれらの要求はまた、構成回路の設計およびDRAMメモリ装置の製造のためのプロセスにおいて新たな困難を生むことにもなっている。

## 【0004】

【発明の解決しようとする課題】従来のDRAMメモリセルにおいては、半導体基板上のボンディングパッドは1つの場所に設けられ、記憶容量分のデータ信号は基板上のその他の広い空間で発生するようになっていた。基板上には、ボンディングパッドと記憶場所との間でデータを運ぶために比較的長いデータラインが設けられていた。このことがデータラインの大きな寄生容量につながり、それがより大きな駆動回路を必要とすることにつながっていた。この寄生容量と、その結果としてこの装置を駆動するために必要とされる電力が大きくなることが原因となって、100メガヘルツあるいはそれよりも高速で動作する経済的な装置の実現を妨げてきた。

【0005】同期式DRAMとの間でのデータの読み出しおよび書き込みはまた、2つの異なるモード、すなわちシリアルおよびインターリーブのうちのいずれかにおいて行われる必要がある。シリアルモードでは、データはそのシリアル番地と同じ順序で生成される。インターリーブモードでは、データはシリアル以外の、適切に定義された一定の順序で生成される。同期式DRAM装置は、パイプラインアーキテクチャあるいは先取りアー

キテクチャのいずれかの方式によって実現することができる。いずれの場合でも、シリアルおよびインターリーブの両データモードで動作できるような配慮が必要である。

#### 【0006】

【課題を解決するための手段】本発明の特許請求するところに従えば、メモリ装置は4ビット先取りアーキテクチャの形に構築され配置される。メモリ装置上の回路は、バースト長および、モードすなわちシリアルかインターリーブか、を変更するための列スイッチ番地の生成およびアレイ配置を提供する。

【0007】本メモリ装置は、装置との間でデータ信号を送受信するための複数のデータビットボンディングパッドを基板上に含んでおり、そこでは各データビット信号に対して1個のデータビットボンディングパッドがあって、本装置は一時に複数のデータビット信号を転送することができるになっている。ワードライン番地発生器は、各行番地について一群の行番地信号を受信して、選ばれたワードライン信号を生成する。列選択信号発生器は、各列番地について一群の列番地信号を受信して、列選択信号を生成する。メモリセルのアレイはワードラインとビットラインとの交点の配置されている。複数のメモリセルが、選ばれたワードライン信号を受信して、記憶されたデータ信号をビットラインへつなぐ。

【0008】センスアンプはビットラインからデータ信号を受信して、そのデータ信号を増幅する。センスアンプ選択回路は列選択信号を受信して、各データビットボンディングパッド毎に、増幅されたデータ信号のうちの一定の数、例えば4個をセンスアンプからサブI/Oラインへ運ぶ。中間アンプはサブI/Oラインから中間I/Oラインへデータ信号を運ぶ。各データビットボンディングパッド当たり一定の数の中間I/Oラインがある。メインアンプは中間I/Oラインからデータ信号を受信して、そのデータ信号をグローバルI/Oラインへ運ぶ。各データビットボンディングパッド当たり一定の数のメインアンプがある。データ回路はグローバルI/Oラインから各々のデータビットボンディングパッドへデータ信号を運ぶ。

【0009】メモリ装置上で、データビットボンディングパッドとメモリ記憶セルとの間でデータビット信号を転送するプロセスは、そのメモリ装置へ供給される一群の行番地信号にตอบสนองして、複数のメモリセルに記憶されたデータビット信号をビットラインへつなぐことを含んでいる。このプロセスには更に、メモリ装置へ供給される一群の列番地信号にตอบสนองして、ビットライン上の一定の数のデータビット信号をメモリ装置上のI/Oラインへ運ぶことが含まれている。更に、このプロセスには、一定の数のデータビット信号をタイミングをとった順序に従って1つのデータビットボンディングパッドへ運ぶことが含まれている。

【0010】更に、本メモリ装置は行番地信号および列番地信号を受信するようになっており、更に半導体基板上に形成されたメモリセルのアレイを含んでいる。メモリセルは各アレイ中のワードラインとビットラインとの交点に設けられていて、複数のアレイがアレイ列を構成して互いに平行に並べられ、更に隣接する列が対をなすように配置されている。アレイの各列毎にY選択発生器回路が設けられている。各Y選択発生器回路は、その対応するアレイ列を横切って延びるY選択リードを有しており、受信された列番地信号の組毎にY選択リード上へ一定の数のY選択信号を生成するようになっている。アレイの各列対に沿って4本のメインI/Oラインが延びており、それらはアレイの各列対を越えて延びている。アレイの各列の両側にそれぞれ1本のメインI/Oラインがあって、各対の中央にあるアレイ間には2本のメインI/Oラインがある。メインI/Oラインは各アレイから延びたデータラインへつながっており、アレイとの間でデータ信号のやり取りを行う。

【0011】ボンディングパッドが半導体基板上に設けられている。メモリ装置によって送受信されるデータの1つのワードの各ビットに対して1個のボンディングパッドがある。データ回路はメインI/Oラインをデータボンディングパッドへつなぐ。データ回路は、4個の列対になったメインI/Oラインの各々を1個のボンディングパッドへつないでいる。

【0012】開示された実施例において、アレイの列の各対は、2個のアレイ幅で8個のアレイ高に配置された複数のアレイを含んでいる。Y選択発生器回路は列の各対の一端に配置されている。各列対の上を128本のY選択リードが延びている。

#### 【0013】

【発明の実施の形態】図1において、メモリ装置100はパッケージ102に封入された半導体集積回路を含んでいる。金属の導電性リード104がパッケージ102の端部106および108から延びている。これらのリード104は、収容された半導体集積回路またはチップとの間で電気信号および電力を運ぶ。点印110は個別リード112と114との間のパッケージ102端部108に沿って存在する付加的な複数リードを示している。リードの数およびそれらの配置はチップ上のデータの構成および配置と、工業規格とによって決められる。チップを封止するパッケージ102の素材は、好ましい何らかの樹脂材であろう。凹み116は方向付けのために、メモリ装置の上下を定義するために使用することができる。

【0014】図2では、メモリ装置100は、データ信号を記憶するためのメモリセルの4個のアレイバンクB0、B1、B2、およびB3を提供している。データ信号は、バンクと、リード202、DQバッファ204、および32本の個々のリードライン206で表される内

部リード上の32本のデータリードDQ0-DQ31との間で転送される。この配置において、32個のデータ信号はリード206上を並列的に同時に運ばれる。

【0015】4つのバンク中に記憶されたデータ信号は、2つのクロック信号、いくつかの制御信号、および時間多重化された行および列番地信号によってアクセスされる。リード208上のクロック信号CLKおよびリード210上のクロック許可信号CKEは、ANDブロック212を通り、リード214を通して制御ブロック216へ達する。リード218上の能動的な低レベルチップ選択信号CS<sub>0</sub>が制御ブロック216へつながっている。4本のリード220上のDQM0-DQM3出力許可バイト信号もまた制御ブロック216へつながっている。信号RAS<sub>0</sub>、CAS<sub>0</sub>、およびW<sub>0</sub>が、制御ブロック216へつながるリード222、224、および226上へそれぞれ現れる。これも制御ブロック216へつながるリード228上には、14個の番地信号A0-A11、BA0、およびBA1が現れる。モードレジスタ230もまた制御ブロック216へつながっている。制御ブロック216はリード232を介してアレイバンクB0、B1、B2、およびB3中のデータ信号へアクセスする。

【0016】このように、メモリ装置100は、2,097,152ワードで、各ワード当たり32ビットのデータを有するように構成された同期式ダイナミックランダムアクセスメモリである。メモリ装置100の総容量は268,435,456ビットで、一般に256メガビットSDRAM装置とよばれ、同期式DRAMのJEDEC規格と互換である。

【0017】図3において、パッケージ102に収容されたメモリ装置100の半導体集積回路300は、4×4の配列になった、16個のメモリセルアレイ302-332を含んでいる。バンクB0、B1、B2、およびB3は、半導体集積回路300の長さ方向に延びている。こうして、バンク0はアレイ302、304、306、および308を含む。バンク1はアレイ310、312、314、および316を含む。バンク2はアレイ318、320、322、および324を含み、バンク3はアレイ326、328、330、および332を含んでいる。チップ300の幅に広がったこれらアレイは、左側と右側の場所を表す記号、LL、LR、RL、およびRRを用いて1/4区分として定義される。こうすれば、1個のアレイ302であれば、バンクB0の1/4区分LLとして指定できる。

【0018】チップ300はまた、チップの中心軸に沿って延びる箱334および336によって表されるボンディングパッドを含んでいる。リード104がこれらのボンディングパッドへボンディングワイヤを介してつながっており、それらワイヤはチップへ電力を供給し、またチップとの間でやり取りする電気信号を運ぶためのも

のである。チップ300の両端には3個のボンディングパッドしか示していないが、必要とされる信号を選び、付加的な試験地点を提供するように、チップ上に付加的なボンディングパッドが設けられる。これらの付加的なボンディングパッドはボンディングパッド334、336から延びる点印で表されている。

【0019】チップ300の中心軸に沿って延びる中央領域には必要に応じて周辺回路338が設けられる。メモリセルのアレイ302-332の間には、列デコード回路340のような列デコード回路が、バンクB0とB1の間、およびバンクB2とB3の間にチップの長さ方向に沿って広がっている。チップ幅に広がって、行デコード回路342が1/4区分LLとLRの間、および1/4区分RLとRRとの間に広がっている。

【0020】周辺回路はまた、チップ300の任意の場所に設けることができる。例えば、データ回路340および342は、ボンディングパッドとメモリセルアレイとの間でデータ信号を電気的に運ぶものであるが、物理的にもボンディングパッドとメモリセルアレイとの間に存在している。

【0021】バンク番地BA0およびBA1は、4個のバンクB0、B1、B2、およびB3のうちから1つを選ぶために使用される。これらの2つのバンク番地信号は行および列の番地信号と一緒にSDRAMへ供給される。

【0022】図4において、アレイ302は8個のメモリセルMATまたはマトリックス、MAT0-MAT7を含んでいる。各アレイ302-332は同じように配置されているので、1つのアレイ302について説明することはすべてのアレイ302-332に当てはまる。アレイ302は、図3に示されたのと同じ方向に配置されたMAT、MAT0-MAT7を有する。行またはワードラインは矢印400で示された方向に延びており、また矢印402で示された方向に配置されている列またはビットラインを有している。すべてのMAT、MAT0-MAT7は同じように配置されているので、MAT0-404についての記述はアレイ302中の他のすべてのアレイについて、またチップ300上の他のアレイについても当てはまる。

【0023】行番地A11、A10、およびA9がデコードされて、図4のMATを選択する行因子信号が作り出される。

【0024】図5では、MAT0-404は8個のサブアレイ、サブMAT0-サブMAT7を含み、領域500には8個の冗長サブワードラインが含まれている。サブアレイ サブMAT0-サブMAT7はMAT 404と同様な方向に配置されており、ワードラインはそれらの長さ方向に走っている。MAT 404は512本のサブワードラインを含み、それらはサブアレイ サブMAT0-サブMAT7の間で均等に分割されていて、

領域500には付加的な8本の冗長サブワードラインが含まれている。冗長サブワードラインは、アレイ、サブアレイ、およびサブサブアレイの中に必要なだけ分布させることができる。領域500は、この実施例で使用された冗長ワードラインに関する場所を示している。サブMATO 502の説明は、チップ300上のその他のすべてのサブMATに当てはまる。

【0025】行番地信号A8, A7, およびA6が用いられて、図5のサブMATを選択するための行因子信号が生成される。

【0026】図6では、サブMATO 502はRMWLB0-RMWLB7として指定される8個のサブサブアレイまたは行メインワードラインブロックを含む。サブサブアレイの各々、例えばRMWLB0 602は8個のサブワードラインを含んでいる。この場合も、サブサブアレイの1個602の説明は、チップ300上のサブサブアレイすべてに当てはまる。

【0027】行番地信号A5, A4, およびA3が用いられて、図6のサブサブアレイ、または行メインワードラインブロックを選択するための行因子信号が生成される。

【0028】図7で、サブサブアレイ602は、各領域の長さに亘って延びる4本のサブワードラインを備えた

表1

略称	一般名称
A0-A11	番地入力
A0-A11	行番地
A0-A8	列番地
A10/AP	自動予備充電選択
BA0, BA1	バンク選択
CAS_	列番地ストローブ
CKE	クロック許可
CLK	システムクロック
CS_	チップ選択
DQ0-DQ31	SDRAMデータ入力/出力
DQM0-DQM3	データ/出力許可バイト0-3
NC	外部接続なし
RAS_	行番地ストローブ
VDD	電力供給 (一般には、3.3V)
VDDQ	電力供給出力ドライバ (一般には、3.3V)
VREF	HSTL/SSTL基準電圧
VSS	アース
VSSQ	出力ドライバ用アース
W_	書き込み許可

【0033】図10では、チップ300は、バンクB0中の1/4区分LLの左半分にある区分1002, 1004, 1006, および1008のように、それぞれの列またはビットライン区分に沿って分割されたバンクB0, B1, B2, およびB3を有している。バンクB0, B1, B2, およびB3の1/4区分LL, LR,

2個のサブワードラインデコード選択領域700および702を含んでいる。行番地信号A2が用いられて、サブワードラインデコード選択領域を選択するための行因子信号が生成される。

【0029】図8で、サブワードラインデコード選択領域700は4個のサブワードライン番号0, 1, 2, および3を含んでいる。行番地信号A1およびA0が用いられて、4本のサブワードラインのうちで選択を行うための行因子信号が生成される。

【0030】図4～図8の図面は、このように、基板300上の行またはワードラインの本実施例の特別な配置を示している。

【0031】図9では、メモリ装置100の理想化した表現によって、JEDEC規格に従ったそれらの略称によって指定され番号を振られたすべてのリード104を備えたパッケージ102が示されている。例えば、リードまたはピン1はVDDへつながっており、一方、リードまたはピン88はVSSへつながっている。次の表1は、それらの信号のこれら略称に対応する般名称を与えるものである。

【0032】

【表1】

RL, およびRRの左半分および右半分は、メモリセルのすべてのアレイ中のそのようなビットライン区分に沿って同様な区分に分割されている。バンクB0のアレイLL中の表示DQ0, DQ15, DQ1, DQ14, DQ2, DQ13, DQ3, およびDQ12は、単にチップ300上のアレイ中のそれらのデータビットが記憶さ

れている相対的な位置を一般的に示しているだけである。

【0034】バンクB1中では、バンクB0の長さ分に拡がった強調領域1010が、一群の行番地信号の受信に応答して同時に駆動される個々のワードラインのすべてを表している。このように、1つの番地がバンクB1中のアレイ1017, 1018, 1020, 1022, 1024, 1026, 1028, および1030のすべての中の同じ対応するワードラインを駆動する。同様に、1つの行番地がバンク0, 2, または3中のすべての対応するワードラインを駆動するであろう。

【0035】チップ300の中央を横切る領域1012は、データビットDQ0-DQ15に対するボンディン

グパッド334を表している。領域1014は、データビットDQ16-DQ31に対するボンディングパッド336を表している。領域1016は、番地信号、クロック信号、および制御信号に対するボンディングパッドを表している。領域1012, 1014, および1016は、データ、番地、クロック、および制御信号のためのボンディングパッドの理想化された表現を説明のために提供している。次の表2は、ボンディングパッドの番号を、それらが運ぶ信号の略称およびそれらがつながるリード104と関連付けるものである。

【0036】

【表2】表2

ボンディングパッド番号	略称	リード番号
1	Vsub	VSS
2	VSS	VSS
3	VDD	VDD
4	VDDref	VDD
5	VSSref	VSS 88
6	VDDreg	VDD
7	VSS	VSS
8	DQ24	46
9	DQ23	43
10	VSSQ	VSS
11	VDDQ	VDD
12	DQ25	48
13	DQ22	41
14	VSSsa	VSS
15	VDDsa	VDD
16	DQ26	49
17	DQ21	40
18	VDDQ	VDD
19	VSSQ	VSS
20	DQ27	51
21	DQ20	38
22	VSS	VSS
23	VDDp	VDD
24	DQ28	52
25	DQ19	37
26	VSSQ	VSS
27	VDDQ	VDD
28	DQ29	54
29	DQ18	35
30	DQ30	55
31	DQ17	34
32	VDDQ	VDD
33	VSSQ	VSS
34	DQ31	57
35	DQ16	32
36	VSSsa	vss
37	VDDsa	VSS

【0037】

【表3】

38	DQM3	VDD	80	VSSsa	VSS
39	DQM2	31	81	VDDsa	VDD
40	VSSsa	VSS	82	DQ8	76
41	VDDsa	VDD	83	DQ7	13
42	A6	60	84	VDDQ	VDD
43	A5	29	85	VSSQ	VSS
44	A7	61	86	DQ9	78
45	A4	28	87	DQ6	11
46	VSSin	VSS	88	DQ10	79
47	VDDin	VDD	89	DQ5	10
48	VSSp	VSS	90	VSSQ	VSS
49	VDDp	VDD	91	VDDQ	VDD
50	A8	62	92	DQ11	81
51	A3	27	93	DQ4	8
52	A9	63	94	VSSp	VSS
53	VSSsa	VSS	95	VDDp	VDD
54	VDDsa	VDD	96	DQ12	82
55	A2	26	97	DQ3	7
56	A11	64	98	VDDQ	VDD
57	A1	25	99	VSSQ	VSS
58	BA0	67	100	DQ13	84
59	A0	24	101	DQ2	5
60	BA1	21	102	VDD	VDD
61	A10/AP	22	103	VSSsa	VSS
62	NC	72	104	DQ14	85
63	VSSsa	VSS	105	DQ1	4
64	VDDsa	VDD	106	VSSQ	VSS
65	CS	20	107	VDDQ	VDD
66	VREF	71	108	DQ15	87
67	RE	16	109	DQ0	2
68	Vddp	VDD	110	VSSreq	VSS
69	VSSp	VSS	111	VDDreq	VDD
70	VSSin	VSS	112	VDDref	VDD
71	VDDin	VDD	113	VSSref	VSS
72	CKE	68	114	VDD	1 VDD
73	CE	20	115	VSS	88
74	CLK	69	116	Vsub	VSS
75	W	17			
76	VSSsa	VSS			
77	VDDsa	VDD			
78	DQM1	75			
79	DQM0	14			

【0038】

【表4】

【0039】図10に示された重要なことは、各データワードからのデータビットがバンクB0、B1、B2、およびB3の各々の中の同じ相対位置に記憶されるということである。こうして、各ビットDQ0、DQ15、DQ1、およびDQ14はバンクB0、B1、B2、およびB3の各々の中の1/4区分LLの左半分に記憶される。同様に、データビットDQ22、DQ25、DQ23、およびDQ24は、バンクB0、B1、B2、およびB3の1/4区分RRの右半分に記憶される。データビットDQ0が区分1002のみに記憶されるのではなく、データビットDQ15が区分1004のみに記憶されるのではなく、データビットDQ1が区分1006のみに記憶されるのではなく、そしてデータビットDQ14が区分1008のみに記憶されるのではないことに注目されたい。これらのデータビットの正確な記憶場所について次に説明する。1/4区分LLの右半分1018にはデータビットDQ2、DQ13、DQ3、およびDQ12が含まれる。1/4区分LRの左半分1020にはデータビットDQ4、DQ11、DQ5、およびDQ10が含まれる。1/4区分LRの右半分1022にはデータビットDQ6、DQ9、DQ7、およびDQ8が含まれる。1/4区分RLの左半分1024にはデー



タビットDQ16, DQ31, DQ17, およびDQ30が含まれる。1/4区分RLの右半分1026にはデータビットDQ18, DQ29, DQ19, およびDQ28が含まれる。1/4区分RRの左半分1028にはデータビットDQ20, DQ27, DQ21, およびDQ26が含まれる。1/4区分RRの右半分1030にはデータビットDQ22, DQ25, DQ23, およびDQ24が含まれる。

【0040】図11では、バンクB0, B1, B2, およびB3中の1/4区分LL, LR, RL, およびRRの各々が、8個のデータビット出力リードDQxを提供している。ここで、“x”は文字a, b, c, d, e, f, g, およびhを取る。これらの文字を付けたデータ出力リードは、番号を付けたデータビットに対するそれぞれのボンディングパッドへつながる。例えば、1/4区分LLでは、データリードaはボンディングパッドビット番号0へつながり、データリードbはビット番号15に対するボンディングパッドへつながり、データリードcはビット番号1に対するボンディングパッドへつながり、データリードdはビット番号14に対するボンディングパッドへつながり、データリードeはビット番号2に対するボンディングパッドへつながり、データリードfはビット番号13に対するボンディングパッドへつながり、データリードgはビット番号3に対するボンディングパッドへつながり、そしてデータリードhはビット番号12に対するボンディングパッドへつながっている。同様に、その他の1/4区分についても、文字のついたデータリードはデータビット番号の残りに対するボンディングパッドへつながっている。1/4区分からの文字のついたデータリードのこの接続は、それぞれのビット番号に対するボンディングパッドに対して本質的に整合していることに注意されたい。この整合性は、データリードがメモリセルアレイからボンディングパッドへ延びる長さまたは距離を本質的に減少させる。このように、任意の1つのボンディングパッドへ受信されるデータ信号は、一般的にチップ300の幅に広がるアレイ中へそのボンディングパッドから記憶される。データ信号は、チップの長さ方向には最小距離だけを走行する。

【0041】より形式的な表現では、基板上のボンディングパッドはチップ300の長さに沿って延びて、装置との間でやり取りされるデータ信号を選び、ボンディングパッドは一定の順序でデータ信号を運ぶ。メモリセルのアレイはチップ300上に形成され、メモリセルのグループまたは区分をなして基板の幅方向に広がっている。メモリセルの各グループは、一群のボンディングパッドによって運ばれるデータ信号を記憶するようになっており、メモリセルの複数のグループが、ボンディングパッドがデータ信号を運ぶ順序と本質的に同じ決まった順序で基板上に配置されている。

【0042】図12において、バンクB0中の1/4区

分LLはアレイ1201のようなメモリセルアレイを128個、8行で16列の配列の形に配置されて含んでいる。メインワードデコードMWDがアレイの8行の右側に沿って設けられており、他方、列デコード1202のような16個の列デコードがそれぞれのアレイ列の底部に設けられている。サブワードデコード1204のようなサブワードデコードSWDがアレイの列間に設けられて、矢印1206の方向へワードラインデコード信号を発生させる。ビットラインはアレイの各々を横切って矢印1208の方向へ走行している。

【0043】列1210のようなアレイ列は、列対1212, 1214, 1216, 1218, 1220, 1222, 1224, および1226のように対をなして配置されている。対1212, 1214, 1216, および1218は1/4区分LLの左半分を含み、他方、対1220, 1222, 1224, および1226は1/4区分LLの右半分を含んでいる。列対の各々は図11に示された文字付きのデータビット4個に対応するデータビットを記憶する。列対1212, 1214, 1216, および1218はそれぞれデータビットa, b, c, およびdに対するデータ信号を記憶する。列対1220, 1222, 1224, および1226の各々はデータビットe, f, g, およびhに対するデータ信号を記憶する。

【0044】列対1212のような各列対に対して、メインI/Oライン1230, 1232, 1234, および1236のような4本のメインI/Oラインがアレイ列に沿って延びており、列デコード回路の下から出ている。これらのメインI/Oラインはメイン増幅器1240へつながっている。アレイの各列対について、メインI/Oラインはそれぞれの文字付きのデータビットに対するメイン増幅器へつながっている。このように、列対1212に関しては、メインI/Oライン1230がメイン増幅器MA0-aへつながり、メインI/Oライン1232がメイン増幅器MA0-bへつながり、メインI/Oライン1234がメイン増幅器MA0-cへつながり、そしてメインI/Oライン1236がメイン増幅器MA0-dへつながっている。

【0045】列対1214に関しては、第1のメインI/Oラインがメイン増幅器MA1-aへつながり、第2のメインI/Oラインがメイン増幅器MA1-bへつながり、第3のメインI/Oラインがメイン増幅器MA1-cへつながり、そして第4のメインI/Oラインがメイン増幅器MA1-dへつながっている。同様に、列対1216から延びる第4のメインI/Oラインはメイン増幅器MA2-a~MA2-dへつながり、また列対1218から延びる第4のメインI/Oラインはメイン増幅器MA3-a~MA3-dへつながっている。

【0046】列1220~1226からそれぞれの対応するメイン増幅器へ延びるメインI/Oラインに関して

も同様な接続が行われる。

【0047】列対1212, 1214, 1216, および1218に対するメイン増幅器の出力はデータシーケンサ1242へつながっている。列対1220, 1222, 1224, および1226に対するメイン増幅器の出力はデータシーケンサ1244へつながっている。データシーケンサ1242の出力は4本のデータビットラインDQa, DQb, DQc, およびDQdを含む。データシーケンサ1244の出力は4本のデータビットラインDQe, DQf, DQg, およびDQhを含む。

【0048】データシーケンサ1242および1244は、図3のデータ回路340または342の一部を含んでいる。データシーケンサ1242および1244内の接続ラインは、メイン増幅器から4本の対応するデータビットラインのうちの1本へのデータ信号の選択を機能的に表現している。このことについては、以下の図面により完全に説明する。

【0049】図12は、バンクB0の1/4区分LL中の列対に沿って延びるメインI/Oラインを示している。図12に示されたメインI/Oラインはまた、バンクB1の1/4区分LL中の列対に沿って、データ回路340に近いメイン増幅器にまで延びており、そのデータ回路340はチップ300上のボンディングパッド近くに位置している。付加的な同様のメインI/Oラインが、バンクB0およびB1のすべての1/4区分中のすべての列対に沿って、付加的なメイン増幅器まで延びている。同様に、付加的なメインI/Oラインが、バンクB2およびB3中のメモリアレイの列対に沿って延びている。

【0050】領域1250において、図12は、各列対について、4本のメインI/Oラインによって運ばれる文字付きデータビットを機能的に表わしている。すなわち、列対1212, 1214, 1216, および1218中の最も左のメインI/Oラインは、メイン増幅器MA0-a, MA1-a, MA2-a, およびMA3-aを通してリードDQa上に現れるデータビットを運んでいる。列対1212, 1214, 1216, および1218中の最も右のメインI/Oラインは、メイン増幅器MA0-d, MA1-d, MA2-d, およびMA3-dを通してリードDQd上に現れるデータビットを運んでいる。同様に、中央の2つのメインI/Oラインは、それぞれリードDQbおよびDQc上に現れるデータビットを運んでいる。

【0051】列対1220, 1222, 1224, および1226中の最も左のメインI/Oラインは、それらに対応するメイン増幅器を通してリードDQe上に現れるデータビットを運んでいる。列対1220, 1222, 1224, および1226中の最も右のメインI/Oラインは、それらに対応するメイン増幅器を通してリードDQh上に現れるデータビットを運んでいる。同様

に、中央の2つのメインI/OラインはそれぞれリードDQfおよびDQg上に現れるデータビットを運んでいる。

【0052】この構成および配置は、各々のデータラインDQa-DQhについて、一時に4データビットの先取り列選択アクセスを提供する。データシーケンサ1242および1244は、それらの出力へデータビットの順序立った供給を行う。こうして、チップ300に対して与えられる各列番地およびそれに対応して生成される1組のワードライン信号に対して、4データビットの先取りが行われる。

【0053】1202や1252のような、列対に対する列デコーダは、その列対中のメモリアレイを横切って延びたY選択ライン1254で代表される1本の能動的Y選択ラインを作り出す。センス増幅器がメモリアレイ間のセンスアンプ領域1256中に設けられている。

【0054】この4ビット先取り方式で、メモリ装置100は各番地に対して8ビットバーストによって8ビットデータを供給することができる。8ビットバーストは、2つのメモリスサイクルを含む。各メモリスサイクルは、各データI/Oビットに対して4ビットデータの取り出しを含んでおり、各メモリスサイクルは4クロックサイクルで発生する。4ビットのバーストは4クロックサイクルのうちの1つのメモリスサイクルで発生する。2ビットのバーストは4データビットにアクセスする1つのメモリスサイクルで発生するが、データ出力のために2つのクロックサイクルしか使用しない。1ビット出力は1つのメモリスサイクルと1つのクロックサイクルとを含む。

【0055】図13で、列対1212はメモリアレイ1210および1300を含み、それぞれワードラインとビットラインとの交点に位置するメモリアレイ1210は、4本のビットライン1302のようなビットラインを含み、それらは2本ずつ交互に並んで配置されている。2本のビットラインはセンスアンプアレイ1304、ここではセンスアンプ1305から延びており、また、2本のビットラインはセンスアンプアレイ1306、ここではセンスアンプ1307から上方へ延びている。センスアンプアレイ1304および1306の各々およびその他のセンスアンプアレイは、センスアンプ1305および1307のようなセンスアンプを128個含んでおり、それらは交互に共用されたセンスアンプ構成に配置されている。センスアンプアレイ1308および1310はアレイ1300を横切って延びる同様のビットラインにつながっている。

【0056】アレイ1300において、4本のサブワードライン1312がインターリーブ配置でアレイを横切っている。サブデコーダアレイ1314から2本のサブワードラインが延びており、サブデコーダアレイ131

6から他の2本のワードラインが延びている。サブデコーダアレイ1314および1316は256個のサブデコーダを含み、それらはサブワードライン上へ能動的選択信号を作り出す。同様に、サブデコーダアレイ1316および1318は、アレイ1210を横切って延びるサブワードライン上へ能動的選択信号を作り出す。

【0057】列デコーダ回路1252および1320は、64個のY選択回路 $yse110-yse1127$ 中に各々65個のY選択信号を発生させ、また1個の冗長Y選択回路 $ryse10$ を生成する。Y選択信号は、Y選択ライン1254のようなライン上に発生する。それらのラインはそれぞれアレイ1210および1300を横切って延びており、更にメモリセルのアレイの列全体を横切って延び続けている。列番地信号A8~A0を用いて能動的Y選択信号 $yse10-yse1127$ が生成される。列デコーダ回路1252および1320から作り出されるY選択信号のうち、一時には1つだけが能動的である。

【0058】列デコーダ回路1252および1320は、チップ300へ外部から供給される列番地信号からデコードされる、図示されていない列因子信号を受信する。Y選択回路は対になっており、列因子信号は列選択回路へ供給されて2つの引き続くメモリサイクルにおけるメモリ装置の動作を容易にする。1つの受信された列番地が初期の列因子信号の組へデコードされる。列因子信号は第1のメモリサイクルにおいて、対になったY選択回路の1つを選択し、単に列因子信号を反転させることによって対になったY選択回路の他方を選択する。この配置は、2つの引き続くメモリサイクルの各々において、データの4ビットをアクセスすることによって8ビットバーストでメモリ装置からデータを読み出すことを容易にする。

【0059】例えば、列番地は通常は列因子信号へデコードされて、それによって第1のメモリサイクルにおいてY選択回路 $yse10$ が選ばれる。第2のメモリサイクルでは、列因子信号は反転されて、Y選択回路 $yse11$ を選択する。1, 2, または4ビットデータのバースト長に対しては、番地指定されたデータへアクセスするために1つのメモリサイクルしか必要でなく、そのため第2のメモリサイクルは発生しない。

【0060】列デコーダ1252から延びる各Y選択信号ラインはアレイ1210から4個のデータ信号を選択する。列デコーダ1320から延びる各Y選択信号ラインはアレイ1300から4個のデータ信号を選択する。この選択はセンスアンパアレイ中のセンス増幅器中に位置する回路を通して発生する。センスアンパアレイ1304, 1306, 1308, および1310中のセンスアンパからデコードされる4個のデータ信号はサブI/OラインSIO(0), SIO(1), SIO(2), およびSIO(3)上に現れる。サブI/OラインSI

O(0)上に現れるデータ信号は中間増幅器1324へつながっている。同様に、サブI/OラインSIO(1)は中間増幅器1326へつながっている。サブI/OラインSIO(2)は中間増幅器1328へつながり、サブI/OラインSIO(3)は中間増幅器1330へつながっている。これらのサブI/Oラインは、一般にワードライン1312に平行な方向にセンス増幅器アレイ1304, 1306, 1308, および1310の上を通過している。

【0061】中間増幅器1324はサブI/OラインSIO(0)をメインI/OラインMIO(0)1230へつないでいる。中間増幅器1326はサブI/OラインSIO(1)をメインI/OラインMIO(1)1232へつないでいる。中間増幅器1328はサブI/OラインSIO(2)をメインI/OラインMIO(2)1234へつないでいる。中間増幅器1330はサブI/OラインSIO(3)をメインI/OラインMIO(3)1236へつないでいる。更に、アレイ1300の右側の別のアレイ(図示されていない)から、別のサブI/Oライン1332が別の中間増幅器1334へつながっている。中間増幅器1334は次に、次のアレイ列対のためのメインI/OラインMIO(0)1336へつながっている。

【0062】メモリセルの2つのアレイ1210および1300は、図12に示されたように、メモリセルアレイの列対1212中の底部の2つのアレイを含んでいる。各列には8個のアレイが存在する。アレイ1340はアレイ1210の上であって、ビットライン1342がそのアレイ中に延びている。アレイ1344はアレイ1300の上に位置している。メモリセルアレイ間の各列中に、センス増幅器を覆って別のサブI/Oラインが設けられている。4本のメインI/Oラインが、バンクB0中の列対の長さに亘って延びており、またバンクB1中の対応する列対の長さに亘って延びて、これら2つのバンク中のこれら2つの列対中のすべてのサブI/Oラインへつながっている。この配置は短いサブI/OラインおよびメインI/Oラインを提供し、これらのラインに付随する寄生容量を減らす。

【0063】列対1212の配置もチップ300上のその他すべての列対と同じであり、1つについて説明すればすべてに当てはまる。図12に示されたように、メインI/Oラインは文字を付けたデータビットa, b, c, およびdに対するデータ信号を運ぶ。メインI/OラインMIO(0)1230はデータビットaに対するデータ信号を運ぶ。メインI/OラインMIO(1)1232はデータビットbに対するデータ信号を運ぶ。メインI/OラインMIO(2)1234はデータビットcに対するデータ信号を運び、メインI/OラインMIO(3)1236はデータビットdに対するデータ信号を運ぶ。このように、データビットa, b, c, およびd

は順序通りにアレイの列対中に記憶される。

【0064】図14で、センス増幅器1400はチップ300上で使用されるセンス増幅器回路の1つを含んでいる。メモリセル1402はビットラインダウンBLD1404へつながっている。メモリセル1406はビットラインバーダウンBLBD1408へつながっている。

同様に、メモリセル1410はビットラインアップBLU1412へ、そしてメモリセル1414はビットラインバーアップBLBU1416へつながっている。ライン1418上の信号SHRDは、ビットラインダウンBLD1404およびビットラインバーダウンBLBD1408を介してそれぞれ対応するサブビットライン1420および1422へつないでいる。同様に、リード1426上の信号SHRUは、ビットラインアップBLU1412およびビットラインバーアップBLBU1416を介してサブビットライン1420および1422へつないでいる。

【0065】等化回路1430が、リード1432上の信号VBLRおよびリード1434上の信号SBLEQと一緒にサブビットラインSBL1420とサブビットラインバーSBLB1422との間につながれていて、必要となき、この2つのサブビットライン上の電圧を等化するようになっている。交差接続されたPチャンネルトランジスタ1436および1438と、Nチャンネルトランジスタ1440および1442とで構成されるセンス増幅器が、サブビットラインSBL1420とサブビットラインバーSBLB1422とへつながっている。2つのPチャンネルトランジスタ1436および1438はまた、リード1444上の信号SDPおよびリード1446上のVDDAへもつながっている。2つのNチャンネルトランジスタ1440および1442はリード1448上の信号SDNへつながっている。

【0066】サブビットラインSBL1420はトランジスタ1452を介してサブI/Oライン1450へつながり、サブビットラインバーSBLB1422はトランジスタ1456を介してサブI/OラインバーSIOB1454へつながっている。リード1458上の列Y選択信号CYSは、ビットラインのサブI/Oラインへの接続を制御する。

【0067】図15では、メイン増幅器1500が、サブI/Oライン1450および1454をメインI/Oライン1502および1504へ接続またはつないでいる。リード1506上のサブビットライン等化信号SBLEQは等化回路1508がサブI/Oライン1450および1454上の電圧を等化するのを制御する。リード1510上のI/O等化バー信号IOEQBは、サブI/Oライン1450と1454との間につながれたI/O等化回路1512を制御する。

【0068】リード1514上のI/O読み出し許可信

号IOREはトランジスタの対1516および1518を制御する。トランジスタの対1516および1518は、サブI/OラインSIO1450および1454上の論理レベルをリード1520および1522を介してメインI/Oライン1502および1504へつなぐ。

リード1524上のI/O書き込み許可信号LOWEは、メモリセルへのデータ書き込み時に、バストランジスタ1526と1528の対がメインI/Oライン1502および1504から直接にサブI/Oライン1450および1454を駆動するのを制御する。メモリセルからメインI/Oラインへのデータの読み出しはトランジスタ対1516および1518を通して行われる。

【0069】図16では、メイン増幅器1600がメインI/Oライン1502および1504をグローバルI/Oライン1602へ電気的につないでいる。メモリセルからデータを読み出す場合、一般に、4個のデータインバータパス回路1604、バストランジスタ1606、メインセンス増幅器1608、およびデータ出力回路1610を通してグローバルI/Oライン1602へとつながるデータ経路が形成される。グローバルI/Oライン1602からメインI/Oライン1502および1504へデータを書き込む場合は、一般に、書き込み回路1612からデータインバータパス回路1604へつながるデータ経路が形成される。

【0070】電圧等化回路1614はそれぞれメインI/OラインMIOおよびMIOB、1502および1504上の電圧を等化する。このことはリード1618上のI/Oメインアンプ読み出し許可信号IO\_MAREと一緒に発生する。データインバータパス回路1604は、一般にリード1620上の信号IC\_TD\_INVRTによって制御される。メインI/Oライン1502および1504を内部ビットライン1622および1624へつないでいるバストランジスタ対1606は、リード1618上のI/Oメインアンプ読み出し許可信号IO\_MAREを通して制御される。メインセンス増幅器回路1608は、リード1626上のI/Oメインアンプ許可信号IO\_MAEを通して制御される。メインセンス増幅器1608は、内部ビットライン1622および1624へつながっており、それぞれの電圧を感知して、ラッチする。

【0071】出力回路1610はリード1628上のI/Oアンプ出力許可信号IO\_MAOEによって制御される。内部ビットライン1622と1624との間の等化回路1630は、リード1632上のI/Oメイン増幅器等化信号IO\_MAEQによって制御される。書き込み回路1612は、一般にリード1634上のI/Oメイン増幅器書き込み許可信号IO\_Maweを通して制御される。書き込み回路1612はまた、リード1636上の信号IC\_DIMによっても制御される。

【0072】図17および18で、図示された回路は、

DQxボンディングパッド1700とメイン増幅器1240との間での、シーケンスに従った、あるいは1, 2, 4, または8ビットデータのバーストでの1つのデータの転送を実行する。チップ300上には各データビット当たり1つのDQxが存在する、ここでxは0から3.1までの数である。データは、メインI/Oアンプ1240とDQxボンディングパッド1700との間を、データシーケンサ1702含むデータ回路1701、並列データ入力レジスタ1704、およびシリアルデータレジスタ1706を通して送られる。データ回路1701は図3に示されたデータ回路342および340を含んでいる。これらのデータ回路1701は図12のシーケンサ1242および1244に示された機能的表現の実例の実施例を与えている。

【0073】メモリセルアレイからデータを読み出す場合、チップ300の動作に対してデータシーケンサ1702およびシリアルデータレジスタ1706が寄与する。メモリセルアレイへデータを書き込む場合、チップ300の動作に対して、シリアルデータレジスタ1706、並列データ入力レジスタ1704、およびデータシーケンサ1702が寄与する。メインアンプMA0, MA1, MA2, およびMA3は、図12に示された文字を付けた1つのデータビットに対するメインアンプと同じである。

【0074】メモリセルからデータを読み出す場合、メイン増幅器1240 MA0, MA1, MA2, およびMA3は、それぞれデータ経路グローバルI/OラインGIO(0) - GIO(3), 1710 - 1716上へデータ信号を生成する。各グローバルI/Oラインは、例えばそれぞれパストランジスタ1717, 1718, 1719, および1720のようなパストランジスタ対の片側へつながっている。パストランジスタ対1717 - 1720は組1721にグループ化されており、パストランジスタ対の、1721, 1722, 1723, および1724の4組ができている。パストランジスタ対の反対側にはシリアルデータレジスタ1706へのデータ信号が繋がっている。

【0075】パストランジスタ対の組1721, 1722, 1723, および1724は、リード1725上のI/O制御データシーケンサ信号IC\_DSQCR(0) - (5)によって制御される。パストランジスタの選ばれた対をオープンすることによって、リード1725上のI/O制御データシーケンサ信号は、データ信号がグローバルI/Oラインからシリアルデータレジスタへ通過する並列順序を決定する。これによって、メインI/O増幅器からのデータ信号が、シリアルモードかインターリーブモードかのいずれかの所望の順序に配置される。I/O制御データシーケンサ信号は、後に述べるモード制御および番地制御信号に応答してチップ300の別の場所で生成される。列番地信号A1およびA0

を使用して、メイン増幅器からデータを選択するための選択信号が作られる。

【0076】パストランジスタ1717のようなパストランジスタは、それぞれ並列につながれたNチャンネルトランジスタとPチャンネルトランジスタとを含んでいる。並列につながれたトランジスタ対に対する制御信号が図17に示されており、そこにはNチャンネルトランジスタのゲートへのリードしか示されていない。反転された制御信号もまたPチャンネルトランジスタのゲートへ与えられるのであるが、図面を簡略化して説明を分かり易くするため図示されていない。

【0077】パストランジスタの組1721, 1722, 1723, および1724を通過した後で、データ信号はそれぞれリード1726, 1728, 1730, および1732を伝わって、パストランジスタ1734のようなパストランジスタの対へ到達する。パストランジスタの対1734は、I/O制御非同期式連動読み出し信号IC\_AGRDによって制御される。

【0078】シリアルデータレジスタ1706において、4個のデータラッチ1736, 1738, 1740, および1742が、それぞれパストランジスタの対1734等のパストランジスタ対から出力を受信して、受信したデータ信号をラッチする。ラッチ1736は、インバータ1746の出力からインバータ1744の入力への戻り接続を提供するように、遅延したパストランジスタ対1748と直列につながれた一対のインバータ1744および1746を含んでいる。

【0079】ラッチ1738はラッチ1736と類似しているが、インバータ1752の出力とインバータ1754の入力との間に一対のパストランジスタ1750を付加的に含んでいる。ラッチ1740および1742はラッチ1738と類似している。パストランジスタの対1750はリード1756上のI/O制御シフトクロック信号IC\_SCLKによって制御される。

【0080】一対のパストランジスタ1757がラッチ1742の出力をラッチ1740の入力へつないでいる。一対のパストランジスタ1758がラッチ1740の出力をラッチ1738の入力へつなぎ、パストランジスタ1759がラッチ1738の出力をラッチ1736の入力へつないでいる。これらのパストランジスタ1757, 1758, および1759はリード1760上のI/O制御シフトクロックバー信号IC\_SCLKBによって制御される。

【0081】パストランジスタ1762へつながれたモードデコードバースト長信号MD\_BL(1)は、ラッチ1742および1740と1738との間で、I/O制御シフトクロックバー信号IC\_SCLKBがパストランジスタ1757, 1758へ伝搬するのを制御する。インバータ1764とプルアップトランジスタ1766はリード1768を高レベル状態に保って、ラッチ

1742と1740との間、およびもしMD<sub>BL</sub>(1)が高レベルであればラッチ1740と1738との間で、データがシフトするのを防止する。

【0082】リード1756, 1760, および1768上のシリアルクロック信号は、データラッチを通して出力データバッファ1770へ、そしてボンディングパッド1700へデータビットをクロック送出する。出力バッファ許可信号IC<sub>QENBL</sub>が出力データバッファ1770を許可する。

【0083】読み出し動作時には、メイン増幅器およびデータ経路グローバルI/Oラインからのデータ信号はデータシーケンサ1702の動作を通して所望のシーケンスに配置されて、シリアルデータレジスタ1706中へラッチされる。シリアルデータレジスタ1706中では、クロック信号に応答して、データ信号は出力データバッファ1770を通してボンディングパッド1700へクロック出力される。

【0084】書き込み動作時には、ボンディングパッド1700上に現れるデータ信号は、I/O制御データ入力許可信号IC<sub>DENBL</sub>と一緒にデータ入力バッファ1772を通過する。データバッファ1772の出力はリード1774上に現れて、3組のバストランジスタ1776, 1778, および1780へつながれる。これらのバストランジスタ対の各々は所望のバースト長を表す制御信号を受信するが、それらの制御信号は、1ビット、2ビット、および4ビットまたは8ビットのバースト長に対してそれぞれIC<sub>WRBL</sub>(0), IC<sub>WRBL</sub>(1), およびIC<sub>WRBL</sub>(2)と定義されている。

【0085】このように、バースト長さが1の場合に、リード1774からメモリアルレイヘデータの1ビットを書き込むのであれば、バストランジスタ1776だけが許可されて、そのビットがラッチ1736へ通過する。もしデータの2ビットを書き込むのであれば、最初のビットがバストランジスタ1778を通してラッチ1738へ送られ、次のタイミングのクロック信号でその最初のデータビットがラッチ1736へ通過する。第2のデータビットは、それがボンディングパッド1700上へ提供された後で、バストランジスタ1778を通してラッチ1738へ通過する。

【0086】もしデータの4ビットをシリアルにラッチするのであれば、それらは受信されるクロック信号とタイミングを合わせてバストランジスタ1780を通過して、ラッチ1742, 1740, 1738, および1736中へ送られる。

【0087】データがシリアルデータレジスタラッチヘラッチされた後で、それは並列データ入力レジスタ1704中のそれぞれ対応するラッチ中へ送られる。こうして、ラッチ1736に記憶されているデータはバストランジスタ1782を通してラッチ1784中へ送られ

る。I/O制御並列データ入力レジスタラッチ信号(IC<sub>PDIRL</sub>)がバストランジスタ1782を制御する。ラッチ1738中のデータは同様なバストランジスタを通過してラッチ1786中へ送られる。ラッチ1740中に記憶されているデータは同様なバストランジスタを通してラッチ1788中へ送られ、ラッチ1742中に記憶されているデータは同様なバストランジスタを通してラッチ1790中へ送られる。

【0088】ラッチ1784, 1786, 1788, および1790の各々は、1792のような、一対のバストランジスタと一緒に現状につながれた一対のインバータを含んでおり、1つのインバータの出力が他のインバータの入力へつながれている。これらのバストランジスタは、各並列データ入力レジスタラッチを効果的に許可する。各々の並列データ入力レジスタラッチはまた、トータムボール状に接続されたインバータ、PチャンネルおよびNチャンネルトランジスタを含むデータドライバ回路を含んでいる。I/O制御連動書き込み信号がPチャンネルおよびNチャンネルトランジスタを制御する。ラッチ1784の出力はデータリード1726へつながっている。データラッチ1786の出力はデータリード1728へつながっている。データラッチ1788の出力はデータリード1730へつながり、データラッチ1790の出力はデータリード1732へつながっている。

【0089】これらのデータリードから、データ信号は一対のバストランジスタを通して、任意の所望のシーケンスにデータを配置するためのデータシーケンサ1702へ入り、次にグローバルI/Oラインを横切って、メモリアルレイ中へ送信するためのメイン増幅器MA0-MA3中へ入る。

【0090】このように、書き込み動作時には、データビットはボンディングパッド1700からシリアルレジスタ1706中の選ばれたラッチへ送られる。そこから、データは、並列データ入力レジスタ1704中のそれぞれ対応するラッチ中へ送られて、データシーケンサ1702を通すことによって選ばれたデータシーケンスに配置されて、次にメインI/O増幅器1240を通してメモリアルレイへ運ばれる。

【0091】図3のボンディングパッド334および336の各ボンディングパッド1700に対して1組のデータ回路1701が存在する。データ回路の各組1701に対して2組のメイン増幅器1240が存在する。1組のメイン増幅器は、バンクB0およびB1中のデータ回路とメモリアルレイとの間でデータ信号の送信を行う。メイン増幅器のもう一方の組はバンクB2およびB3中のデータ回路とメモリアルレイとの間でデータ信号を送信する。1組のグローバルデータラインがこれらの2組のメイン増幅器を1組のデータ回路へつないでいる。メイン増幅器の出力は未選択時にはグローバルデータライン

に対して高インピーダンスを与える。

【0092】図19で、メモリ装置100は、このメモリ装置を使う前に使用者がプログラムすべきモードレジスタ1800を含んでいる。モードレジスタ1800は読み出し待ち時間、バーストタイプ、バースト長、および書き込み待ち時間を表示する個別的なデータビットを含んでいる。モードレジスタには、クロック信号の立ち上がり端で番地リードA0-A8上に有効な入力モードワードがある時に、RAS<sub>0</sub>、CAS<sub>0</sub>、およびW<sub>0</sub>をホールドすることによって実行されるモードレジスタセット命令がロードされる。モードレジスタセットMRS命令は、すべてのバンクが非活性状態で、それらのアイドル状態にある時のみ実行できる。

【0093】番地リードA7およびA8へは常に論理ゼロが入力されるべきであって、他方、番地リードA10-A11、BA0、BA1はモードレジスタに関する入力には関係ない。チャート1802は、1、2、4、または8ビットのバースト長を決定する場合にモードレジスタビットA0-A2に対して許容される論理状態を示す。チャート1804は、論理0のモードレジスタビットA3がシリアルバーストタイプを示しており、他方、論理1がインターリーブバーストタイプを示していることを表示している。チャート1806は、モードレジスタビットA4-A6がそれぞれ1、2、3、または4の読み出し待ち時間を決めていることを表示している。チャート1808は、モードレジスタビットA9が、それぞれ0および1の書き込み待ち時間を決定することを表示している。モードレジスタは有効なMRS命令が入力された時にのみ変更される。もし番地が有効でなければ、モードレジスタ中の前の内容がそのまま残されることになる。

【0094】メモリ装置100のすべてのデータはバーストモードで読み書きされる。単一のスタート番地がこの装置へ入力されて、次にメモリ装置100はそのスタート番地に基づいて一連の場所を内部的に番地指定する。入力されたスタート番地に依存して、最初のものに続くアクセスのいくつかは先行する列番地であったり、後続の列番地であったりする。このシーケンスはプログラムによってシリアルバーストまたはインターリーブバーストのいずれかに従うようにすることができる。バーストシーケンスの長さは使用者によって1、2、4、または8ビットのいずれかにプログラムできる。プログラムされたバースト長によって決まる読み出しバーストが完了した後、次の読み出しアクセスが開始されるまでは、データ出力は高インピーダンス状態になる。

【0095】待ち時間に関しては、読み出しバーストの開始データ出力サイクルをプログラムして、読み出し命令の後1、2、3、または4クロック後に発生するようにすることができる。この特徴は、使用者がメモリ装置

からデータ出力をラッチする周波数および待ち時間に関するシステム能力に従って動作するようにメモリ装置100を調節することを可能とする。読み出し命令と出力バーストの開始との間の遅延は、読み出し待ち時間として、あるいはCAS<sub>0</sub>待ち時間として知られている。初期の出力サイクルが開始された後、データバーストは介在するギャップなしに、クロック周波数で発生する。

【0096】図20で、チャート1900は、シリアルおよびインターリーブモードに対して、10進数および2進数の両方で2ビットバーストシーケンスを表示している。このシーケンスは列番地A0の内部値に依存している。

【0097】図21で、チャート2000は内部列番地A1およびA0にตอบสนองして発生する4ビットバーストシーケンスを、シリアルおよびインターリーブモードについて10進数および2進数の両表記で表示している。このように、シリアルモードでは2進数のスタート番地が11の場合、アクセスすべき第2の2進数番地は00で、アクセスすべき第3の2進数番地は01で、アクセスすべき第4の2進数番地は10である。インターリーブモードでは、もし最初のアクセスすべき2進数番地が11であれば、アクセスすべき第2の2進数番地は10で、アクセスすべき第3の2進数番地は01で、アクセスすべき第4の2進数番地は00である。シリアルモードとインターリーブモードで違うことは、第2、第3、および第4の位置でアクセスされるデータビットの順序であることに注目されたい。

【0098】図22で、チャート2100は、内部列番地A0、A1、およびA2に対する8ビットバーストシーケンスをシリアルおよびインターリーブモードについて、10進数と2進数の両方で表示してある。例えば、シリアルモードにおいて、2進数のスタート番地が111であれば、次の2進数番地は000であり、後は8番目のビットシーケンスまで一時に2進数で1デジットずつ増分する。これは番地111から出発して、8番目のビットバーストまで2進数シーケンスで減数していくインターリーブモードと対照的である。

【0099】図20、図21、および図22に示された2ビット、4ビット、および8ビットのバーストシーケンスは工業規格である。メモリ装置の、既に前に説明した回路は、4ビット先取りアーキテクチャで以てこの工業規格に従う動作を実行する。

【0100】図23には、メモリ装置100へ供給されるか、そこで発生する信号のタイミングが、8ビットシリアルバースト書き込みについて示されている。表3は図23の信号を図面符号、略称、および一般名称で示している。

【0101】

【表5】

表3



(a)	CLK	クロック
(b)	CKE	クロック許可
(c)	CS	チップ選択
(d)	RAS	行番地ストロープ
(e)	CAS	列番地ストロープ
(f)	W	書き込み
(g)	BA(1:0)	バンク番地1および0
(h)	A(11:0)	番地0-11
(i)	DQ	データI/O
(j)	PB_CLK	内部クロック
(k)	MC_ACTV(0:3)	メイン制御起動
(l)	MD_WRT	モードデコード、書き込み
(m)	RF0/2/3/6/9	行因子0, 2, 3, 5, および9
(n)	SWL	サブワードライン
(o)	RSAE1B(0:3)	行センスアンプ許可
(p)	BL	ビットライン
(q)	LAT_CNT(3:0)	待ち時間計数

【0102】

【表6】

(r)	LAT_DONE	待ち時間完了
(s)	MC_WRT	メイン制御書き込み
(t)	MC_CLAT	メイン制御列待ち時間
(u)	BURST_CNT(1:0)	バースト計数
(v)	MC_BURST_DONE	メイン制御バースト完了
(w)	MC_CA_RELOAD	メイン制御列番地再ロード
(x)	MC_COL_BNKS_L	メイン制御列バンク選択
(y)	CFGB3	列因子グローバルバー3
(z)	CFGB6	列因子グローバルバー6
(aa)	CYS	列Y選択
(bb)	IO_WRT	I/O書き込み
(cc)	SIO	サブI/O書き込み
(dd)	IO_MAW	I/Oメインアンプ書き込み許可
(ee)	MIO	メインI/Oライン
(ff)	IC_GWR	I/O制御連動書き込み
(gg)	IC_GWRSB	I/O制御連動書き込み開始バー
(hh)	GIO	グローバルI/Oライン
(ii)	IC_PDIRL	I/O制御並列データ入力レジスタラッチ
(jj)	IC_DENBL	I/O制御データ入力バッファ許可
(kk)	IC_SCLK	I/O制御シフトクロック

【0103】図23において、波形23(a)～波形23(i)の信号が、クロック信号CLKおよびRAS、CASおよびWを時間基準としてチップ300へ供給される。内部では、チップ300がデータを番地指定されたメモリセルへ書き込む準備として、波形23(j)～波形23(z)で表される信号を発生させる。次に、波形23(aa)～波形23(kk)の信号がチップ300中に発生して、番地指定されたメモリセル中へデータ信号をロードさせる。波形23(kk)では、4ビットの先取りサイクル毎に1グループとして、3つのサイクルを含む2グループの信号IC\_SCLKが発生している。これら3つのクロックサイクルの各々の開始点は、

各先取りサイクル中にメモリ装置へ書き込まれる波形23(kk)の最初のデータビットと一緒に発生する。各先取りサイクルの第4データビットは、付加的なクロック信号を必要としない。その理由は、第4ビットがデータ回路を通してデータラインへ直接流れるからである。これは書き込みサイクル中のことである。

【0104】図24には、メモリ装置100へ与えられるか、そこで発生する信号のタイミングが、CASによる8ビットのバースト読み出し、あるいは4に等しい読み出し待ち時間に対して表示してある。表4は、図24の信号を図面符号、略称、および一般名称で示してある。



【0105】

【表7】

表4

(a)	CLK	クロック
(b)	CKE	クロック許可
(c)	CS	チップ選択
(d)	RAS	行番地ストローブ
(e)	CAS	列番地ストローブ
(f)	W	書き込み
(g)	BA(1:0)	バンク番地
(h)	A(11:0)	番地0-11
(i)	DQ	データI/O
(j)	PB_CLK	内部クロック
(k)	MC_ACTV(0:3)	メイン制御起動
(l)	MD_ACTV	モードデコード起動
(m)	MD_READ	モードデコード読み出し
(n)	RF0/2/3/6/9	行因子

【0106】

【表8】

(o)	SWL	サブワードライン
(p)	RSAE1B(0:3)	行センスアンプ許可
(q)	BL	ビットライン
(r)	LAT_CNT(3:0)	待ち時間制御
(s)	LAT_DONE	待ち時間完了
(t)	MC_READ	メイン制御読み出し
(u)	MC_CLAT	メイン制御列待ち時間
(v)	BURST_CNT	バースト計数
(w)	MC_BURST_DONE	メイン制御バースト完了
(x)	MC_CA_RELOAD	メイン制御列番地再ロード
(y)	MC_COL_BNKS	メイン制御列バンク選択
(z)	CFGB3	列因子グローバルバー3
(aa)	CFGB6	列因子グローバルバー6
(bb)	CYS	列Y選択
(cc)	IO_READ	I/O読み出し
(dd)	SIO	サブI/Oライン
(ee)	IO_MARE	I/Oメインアンプ読み出し許可
(ff)	MIO	メインI/Oライン
(gg)	IC_RDEND	I/O制御読み出し終了
(hh)	GIO	グローバルI/Oライン
(ii)	IC_GRD	I/O制御連動読み出し
(jj)	IC_QENBL	I/O制御データ許可
(kk)	IC_SCLK	I/O制御シリアルクロック

【0107】図24では、波形24(a)～波形24(h)の信号が、クロック信号CLKおよびRAS、CASおよびWと同時にチップ300へ供給される。内部では、チップ300が波形24(j)～波形24(z)で表される信号を発生させて、番地指定されたメモリセルからのデータの読み出しの準備をする。次に、チップ300中では波形24(i)および波形24(aa)～波形24(kk)の信号が発生して、番地指定されたメモリセルからデータ信号の読み出しを行う。波形24(kk)では、4ビットの先取りサイクル毎に1グルー

プとして、3つのサイクルを含む2グループの信号IC\_SCLKが発生する。これら3つのクロックサイクルの各々の開始点は、各先取りサイクル中にメモリ装置から読み出される波形24(i)の第2データビットと一緒に発生する。各先取りサイクルの最初のデータビットは付加的なクロック信号を必要としない。その理由は、最初のビットがデータ回路からデータラインを通して直接流れ出るからである。これは読み出しサイクル中のことである。

【0108】メモリ装置100は4個の独立したバンク

を含んでおり、それらは個々に、あるいはインターリーブ的にアクセスできる。各バンクは、それをアクセスできるようにする前に、行番地で以て起動しなければならない。従って、各バンクは、それが再び新しい行番地で以て起動できるようにするためには、その前に非活性化しなければならない。バンク起動／行番地入力命令（ACTV）が、クロックCLKの立ち上がり端で、RAS<sub>—</sub>を低く、CAS<sub>—</sub>を高く、W<sub>—</sub>を高く、A0-A11, BA0, およびBA1を有効にホールドすることによって入力される。バンクは非活性化は読み出した書き込みバーストが完了した後で自動的になされるか、あるいは非活性化命令（DEAC命令）を使用することによって行われる。すべてのバンクを一遍に非活性化することは命令DCABを使用することによって可能である。

【0109】4個の独立したバンクがあることで、使用者は、標準的なDRAMよりも高速にランダム行の情報へアクセスすることが可能となる。このことは1つのバンクを行番地によって起動して、そのバンクとの間でデータストリームの受信および書き込みが行われている間に、別の行番地で以て第2、第3、あるいは第4のバンクを起動することによって実現する。第1のバンクとの間でのデータストリームのやり取りが完了した時には、中断なしに第2のバンクとの間でデータストリームのやり取りが開始できる。第2のバンクが起動された後、第1のバンクは非活性化されて次のラウンドのアクセスのための新しい行番地の入力が必要となる。第2のバンクとの間でデータストリームのやり取りが完了した時には、第3のバンクとの間でのデータストリームのやり取りが中断なしに開始できる。このように、インターリーブモードでの動作が続けられる。

【0110】4つのバンクが利用できることで、バンクに沿ったランダムなスタート列からより高速にデータアクセスすることが可能になる。行番地BA0で以て複数のバンクを起動した後で、BA1を用いることでバンク間で読み出した書き込み命令を変更して、もしすべての指定されたタイミング要求が満たされれば、クロック周波数で中断のないアクセスを提供することができる。

【0111】4ビット先取りアーキテクチャで以て、データの4ビットが一時にアクセスできる。8ビットバーストは、選ばれたバンクから2つの取り出しを要求する。第1のものは最初の4ビットを得るためのもので、次のものはデータの第2の4ビットを得るためのものである。

【0112】メモリ装置100はこれまで述べたのと異なるように配置および構築することもできる。以下のクレームの展望内で、その他の特定の回路を使用することができる。

【0113】以上の説明に関して更に以下の項を開示す

る。

(1) メモリ装置であって、

a. メモリ装置上の複数のデータビットボンディングパッドであって、前記装置との間でデータ信号をやり取りするためのものであり、各データビット信号毎に1個のデータビットボンディングパッドが存在し、前記装置が一時に複数のデータビット信号を転送できるようになった複数のデータビットボンディングパッド、

b. 各行番地に対して一群の行番地信号を受信して、選ばれたワードライン信号を発生させるワードライン番地発生器、

c. 各列番地に対して一群の列番地信号を受信して、列選択信号を発生させる列選択信号発生器、

d. ワードラインとビットラインの交点に配置されたメモリセルのアレイであって、複数のメモリセルが選ばれたワードライン信号を受信して、記憶されているデータ信号をビットラインへつなぐように動作するメモリセルのアレイ、

e. ビットラインからデータ信号を受信して、データ信号を増幅するセンスアンプ、

f. 列選択信号を受信して、一定数の増幅されたデータ信号をセンスアンプから各データビットボンディングパッドに対するサブI/Oラインへ運ぶセンスアンプ選択回路、

g. サブI/Oラインから中間I/Oラインへデータ信号を運ぶ中間アンプであって、各データビットボンディングパッド当たり特定数の中間I/Oラインが存在するように設けられた中間アンプ、

h. 中間I/Oラインからデータ信号を受信して、前記データ信号をグローバルI/Oラインへ運ぶメインアンプであって、各データビットボンディングパッド当たり決まった数のメインアンプが存在するようにされており、前記一定数、特定数、および決まった数がすべて互いに等しい数である、メインアンプ、および

i. グローバルI/Oラインからそれぞれ対応するデータビットボンディングパッドへデータ信号を運ぶデータ回路、を含むことを特徴とするメモリ装置。

【0114】(2) メモリ装置上のデータビットを、データビットボンディングパッドとメモリ記憶セルとの間で転送する方法であって、

a. 前記メモリ装置へ供給される一群の行番地信号に回答して、複数のメモリセル中に記憶されているデータビット信号をビットラインへつなぐ工程、

b. 前記メモリ装置へ供給される一群の列番地信号に回答して、ビットライン上の一定数のデータビット信号をメモリ装置上のI/Oラインへ運ぶ工程、および

c. 特定数のデータビット信号をタイミングをとった順序に従って1つのデータビットボンディングパッドへ運ぶ工程であって、ここにおいて前記一定数と前記特定数とが互いに等しい数である、を含むことを特徴とする方

法。

【0115】(3)行番地信号および列番地信号を受信するメモリ装置であって、

a. 半導体基板上に形成されたメモリセルのアレイであって、前記メモリセルが各アレイ中のワードラインとビットラインとの交点に配置されており、前記アレイが互いに平行に延びるグループをなして配置されており、各グループの中には複数のアレイが含まれ、前記アレイのグループが組に配置されており、各組の中には一定数のアレイグループが含まれているメモリセルのアレイ、

b. 各アレイグループに対するY選択発生器回路であって、各Y選択発生器回路がそれぞれ対応するアレイグループを横切って延びるY選択リードを有しており、受信される列番地信号の各々に対してY選択リード上へ2つの可能なY選択信号のうちの1つを発生させるようになったY選択発生器回路、

c. 各アレイグループに沿って延びて各グループの外側にまで広がる4本のメインI/Oラインであって、各グループの両側にそれぞれ1本のメインI/Oラインがあり、また各グループの中央にはアレイ間に2本のメインI/Oラインがあり、アレイ間でやり取りされるデータ信号を運ぶように各アレイから延びてデータラインへつながっているメインI/Oライン、

d. 前記半導体基板上に設けられたボンディングパッドであって、前記メモリ装置によって受信または送信されるデータワードの各ビット当たり1個の割合で設けられたボンディングパッド、および

e. 前記メインI/Oラインをデータボンディングパッドへつなぐデータ回路であって、アレイグループの各組中のそれぞれ対応するメインI/Oラインを1つのボンディングパッドへつないでいるデータ回路、を含むことを特徴とするメモリ装置。

【0116】(4)第3項記載のメモリ装置であって、各アレイグループが、アレイ2個の幅とアレイ8個の高さに配列された複数のアレイを含んでいることを特徴とするメモリ装置。

【0117】(5)第3項記載のメモリ装置であって、前記一定数が4であることを特徴とするメモリ装置。

【0118】(6)第3項記載のメモリ装置であって、前記Y選択発生器回路が、各アレイグループの一端と、2つのアレイバンクの間とに配置されていることを特徴とするメモリ装置。

【0119】(7)第3項記載のメモリ装置であって、各アレイグループを覆って128本のY選択リードが延びていることを特徴とするメモリ装置。

【0120】(8)第3項記載のメモリ装置であって、32組のアレイグループが含まれていることを特徴とするメモリ装置。

【0121】(9)第8項記載のメモリ装置であって、各組の中に、8ビット先取り動作を実行する2つのメモ

リサイクルの間に能動的であることができる8本のY選択リードがあって、8本の利用可能なY選択リードのうちの4本が各メモリサイクルの間に能動的であることを特徴とするメモリ装置。

【0122】(10)同期式DRAMメモリ装置は、基板300の長さに亘って配置されたメモリセルアレイ302-332の4個のバンクB0、B1、B2、およびB3を有する。各々の受信された番地によって、列番地発生器が1つのデータワード中の各データビットに対して4個のデータビットを選択する。データシーケンス回路がその選ばれた4個のデータビットを選ばれたタイミングをとった順序で、あるいはインターリーブ順に、基板上のデータビットボンディングパッド334、336へ運ぶ。

【関連出願へのクロスリファレンス】本出願は、米国特許出願番号(弁理士事件整理番号T1-22198およびT1-23027)の開示に関連する。

【図面の簡単な説明】

【図1】パッケージ化された本発明の半導体集積回路を含むメモリ装置の鳥瞰図。

【図2】図1のメモリ装置の機能的ブロック図。

【図3】本発明の半導体集積回路またはチップの理想化された平面図。

【図4】図3のメモリセルアレイの理想化されたブロック図。

【図5】図4のメモリセルの1つのMATの理想化されたブロック図。

【図6】図5のメモリセルの1個のサブMATの理想化されたブロック図。

【図7】図6のメモリセルの1個のサブサブMATの理想化されたブロック図。

【図8】図7の4本のサブワードラインの理想化されたブロック図。

【図9】図1のメモリ装置の各ピンへつながれた信号に対するピン番号と略称とを示す図。

【図10】メモリセルの4個のバンクを示すブロック図であって、バンク中の一群のメモリセルへのデータビットの割り当て、およびチップ上のボンディングパッドの相対的位置を示すブロック図。

【図11】ボンディングパッドへのデータ信号の割り当てと、チップ上の対応するデータ信号リードとを示すブロック図。

【図12】バンクB0の1/4区分LL中の、列選択、MIOあるいはグローバルI/Oラインおよびメモリセルアレイの配置を示すブロック図。

【図13】図12のメモリセルアレイとデータラインの一部分を拡大したブロック図。

【図14】チップ上で使用されるセンスアンプまたはセンス増幅器の模式図。

【図15】チップ上で使用される中間アンプまたは中間

増幅器回路の模式図。

【図16】チップ上で使用されるメインアンプまたはメイン増幅器回路の模式図。

【図17】4個のメイン増幅器と1個のデータボンディングパッドとの間のデータ回路の模式的ブロック図。

【図18】4個のメイン増幅器と1個のデータボンディングパッドとの間のデータ回路の模式的ブロック図。

【図19】同期式DRAMを動作させるための標準的制御ビットを示すチャート。

【図20】2ビットデータバーストのための標準的データシーケンスを示すチャート。

【図21】4ビットデータバーストのための標準的データシーケンスを示すチャート。

【図22】8ビットデータバーストのための標準的データシーケンスを示すチャート。

【図23】a～kkは、150メガヘルツにおいて、チップへ8ビットバーストでデータを書き込む場合の信号を示す時間図。

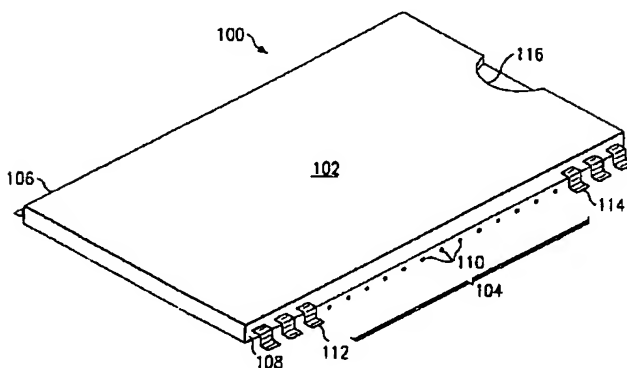
【図24】a～kkは、150メガヘルツにおいて、チップから8ビットバーストでデータを読み出す場合の信号を示す時間図。

【符号の説明】

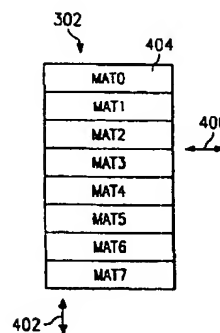
100	メモリ装置	1254	Y選択ライン
102	パッケージ	1300	アレイ
104	リード	1302	4本のビットライン
116	凹み	1304	センスアンプアレイ
204	DQバッファ	1305	センスアンプ
216	制御ブロック	1306	センスアンプアレイ
230	モードレジスタ	1307	センスアンプ
300	集積回路	1308, 1310	センスアンプアレイ
302-332	メモリセルアレイ	1312	サブワードライン
334, 336	ボンディングパッド	1314, 1316, 1318	サブデコーダアレイ
338	周辺回路	1320	列デコーダ回路
340	列デコード回路	1324-1330, 1334	中間増幅器
342	行デコード回路	1332, 1336	サブI/Oライン
404	マトリックス (MAT)	1340	アレイ
502	サブマトリックス (サブMAT)	1342	ビットライン
602	サブサブアレイ	1344	アレイ
700, 702	サブワードラインデコーダ選択領域	1400	センス増幅器回路
1002-1008	区分	1402	メモリセル
1017-1030	1/4区分の半分	1404	BLD
1201	アレイ	1410	メモリセル
1202	列デコーダ	1412	BLU
1204	サブワードデコーダ	1414	メモリセル
1210	アレイ列	1416	BLBU
1212-1226	アレイ列の対	1418	SHRD
1230-1236	メインI/Oライン	1420, 1422	サブビットライン
1240	メイン増幅器	1424	バストランジスタ対
1242, 1244	データシーケンサ	1426	SHRU1428 バストランジスタ対
1252	列デコーダ	1430	等化回路
		1432	VBLR
		1434	SBLEQ
		1436, 1438	Pチャンネルトランジスタ
		1440, 1442	Nチャンネルトランジスタ
		1444	SDP
		1446	VDDA
		1448	SDN
		1450	サブI/Oライン
		1452	トランジスタ
		1454	SIOB
		1456	トランジスタ
		1458	CYS
		1500	中間増幅器
		1502, 1504	メインI/Oライン
		1506	SBLEQ
		1508	等化回路
		1510	IOEQB
		1512	I/O等化回路
		1514	IORE
		1516, 1518	トランジスタ対
		1524	IOWE
		1526, 1528	バストランジスタ対

1600	メイン増幅器	ン
1602	グローバルI/Oライン	1717-1720 バストランジスタ
1604	データインバータバス回路	1721-1724 バストランジスタの組
1606	バストランジスタ	1725 IC_DSQCR
1608	メインセンス増幅器	1734 バストランジスタ対
1610	データ出力回路	1736-1742 データラッチ
1612	書き込み回路	1744, 1746 インバータ
1614	電圧等化回路	1750 バストランジスタ対
1618	IO_MARE	1752, 1754 インバータ
1620	IC_TD_INVRT	1756 IC_SCLK
1622, 1624	内部ビットライン	1757-1759 バストランジスタ対
1626	IO_MAE	1760 IC_SCLKB
1628	IO_MAOE	1762 バストランジスタ対
1630	等化回路	1764 インバータ
1632	IO_MAEQ	1766 プルアップトランジスタ
1634	IO_MAW	1770 出力データバッファ
1636	IC_DIM	1772 データバッファ
1700	DQxボンディングパッド	1776-1780 バストランジスタ組
1701	データ回路	1782 バストランジスタ
1702	データシーケンサ	1784-1790 ラッチ
1704	レジスタ	1792 バストランジスタ対
1706	シリアルデータレジスタ	1800 モードレジスタ
1710-1716	データ経路グローバルI/Oライ	

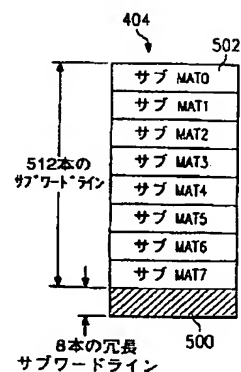
【図1】



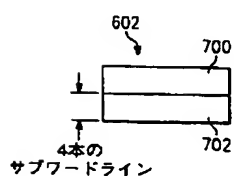
【図4】



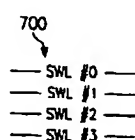
【図5】



【図7】



【図8】



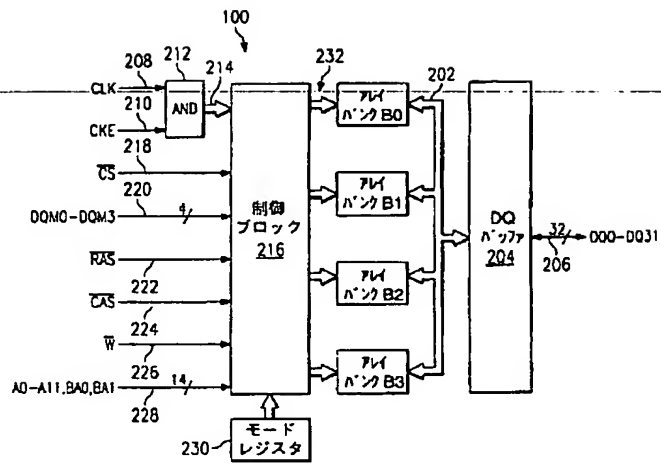
【図20】

2ビットバーストシーケンス

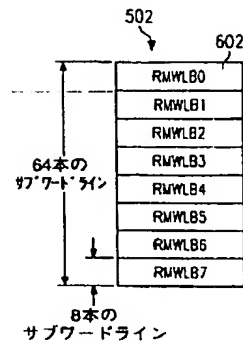
	内部列番地 A0			
	10進数		2進数	
	スタート	2番目	スタート	2番目
シフト	0	1	0	1
インターリーブ	1	0	1	0

1900

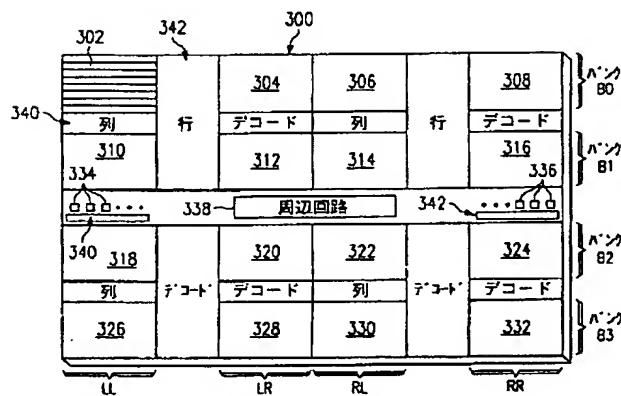
【図2】



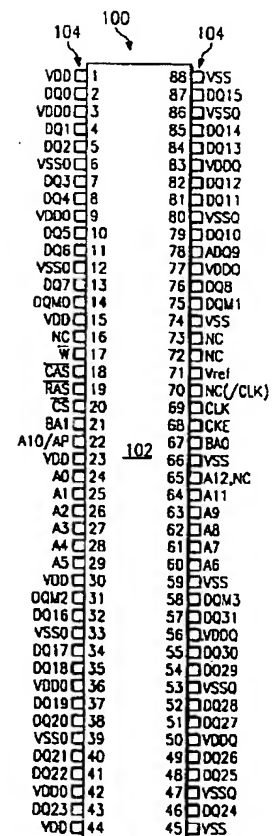
【図6】



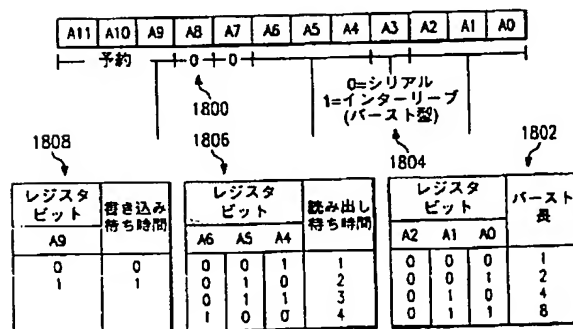
【図3】



【図9】



【図19】



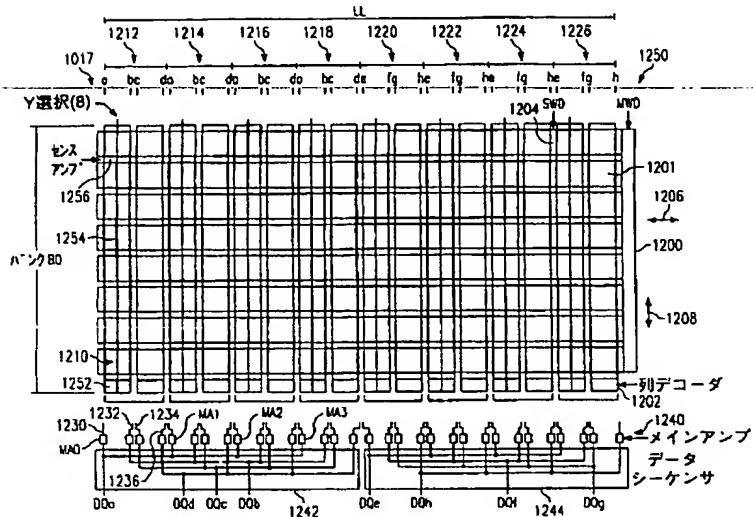
300

LL				LR				RL				RR																			
1017				1018				1020				1022				1024				1026				1028				1030			
												ハック B1																			

DXX  
ハックビット番号  
DXX

a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
0	15	1	14	2	13	3	12	4	11	5	10	6	9	7	8	16	31	17	30	18	29	19	28	20	27	21	26	22	25	23	24
a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h	a	b	c	d	e	f	g	h
												ハック B2																			
												ハック B3																			

【図12】



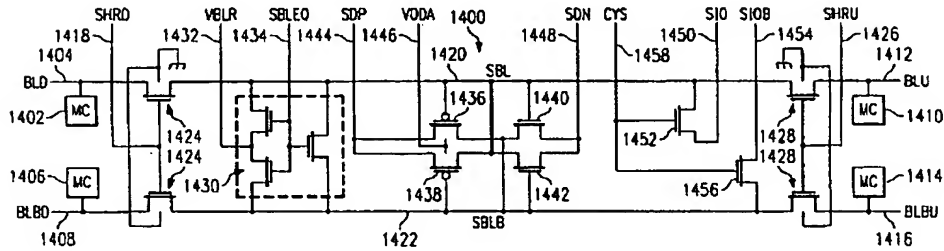
【図21】

4ビットバーストシーケンス

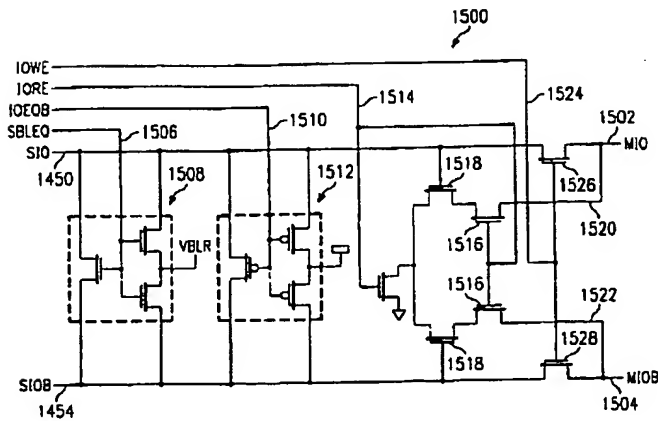
	内部列番地 A1,A0							
	10進数				2進数			
	スタート	2番目	3番目	4番目	スタート	2番目	3番目	4番目
シリアル	0	1	2	3	00	01	10	11
	1	2	3	0	01	10	11	00
	2	3	0	1	10	11	00	01
	3	0	1	2	11	00	01	10
インターリーブ	0	1	2	3	00	01	10	11
	1	0	3	2	01	00	11	10
	2	3	0	1	10	11	00	01
	3	2	1	0	11	10	01	00

2000

【図14】

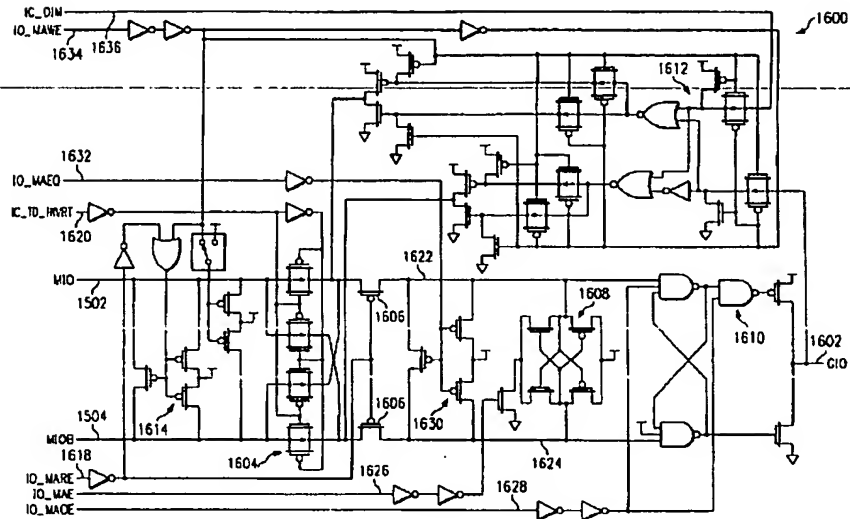


【図15】





【図16】



【図17】

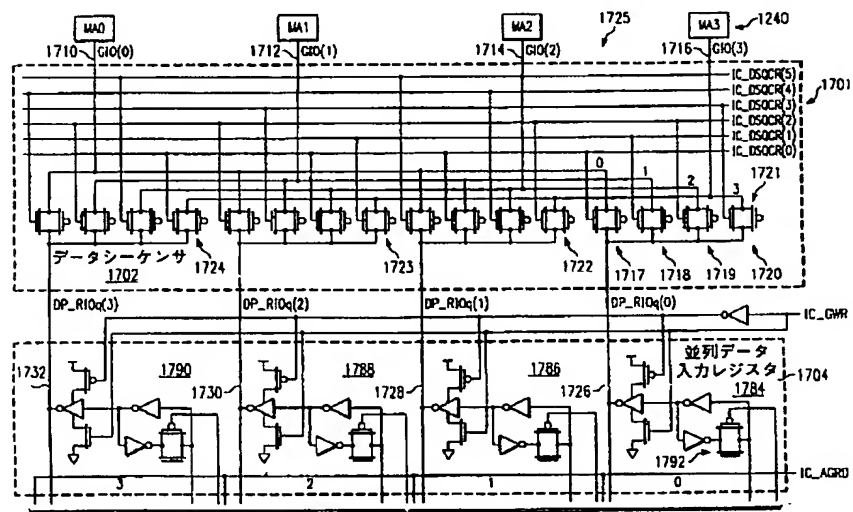
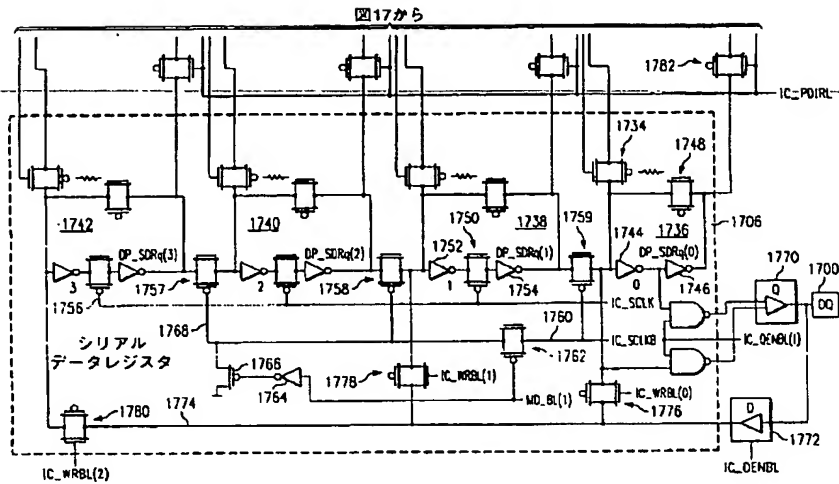


図18へ

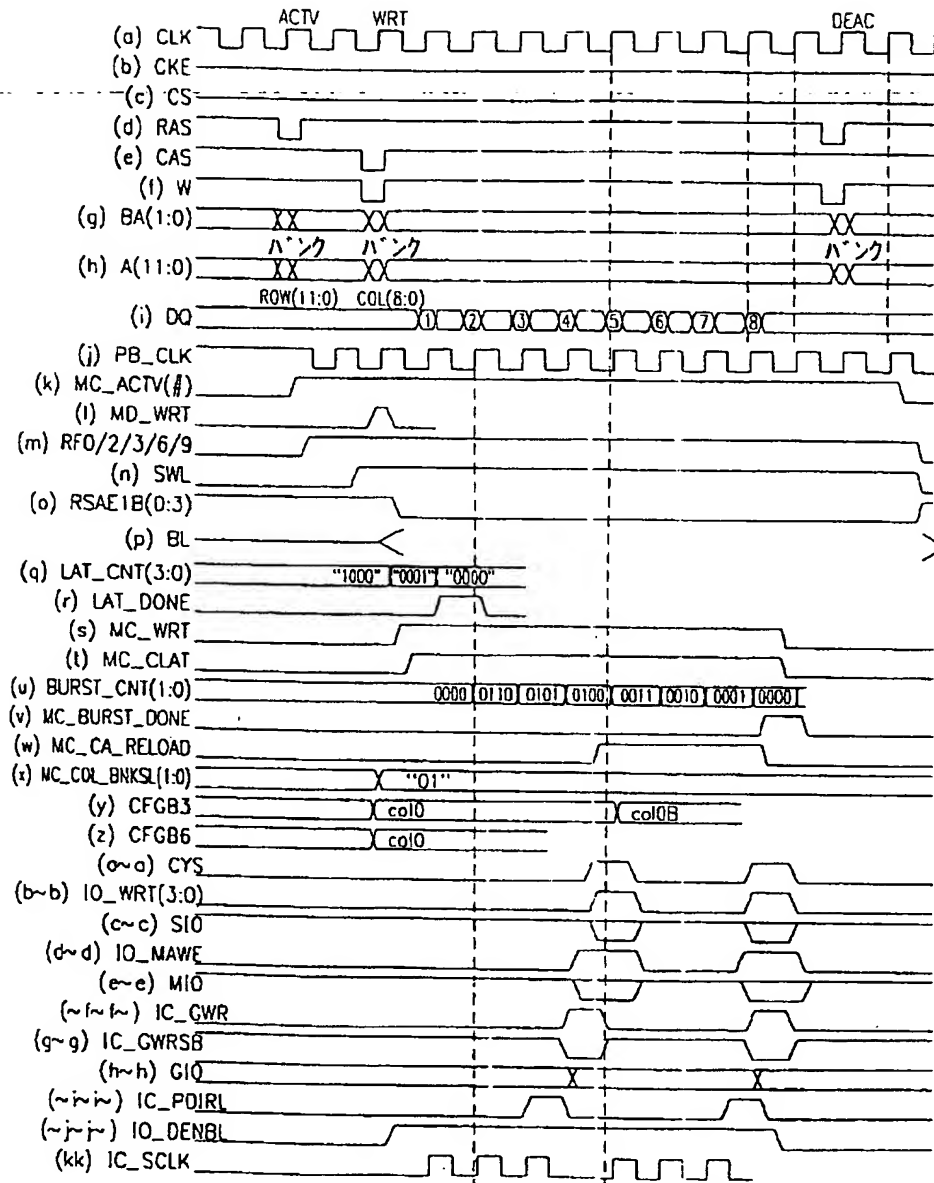
【图 18】



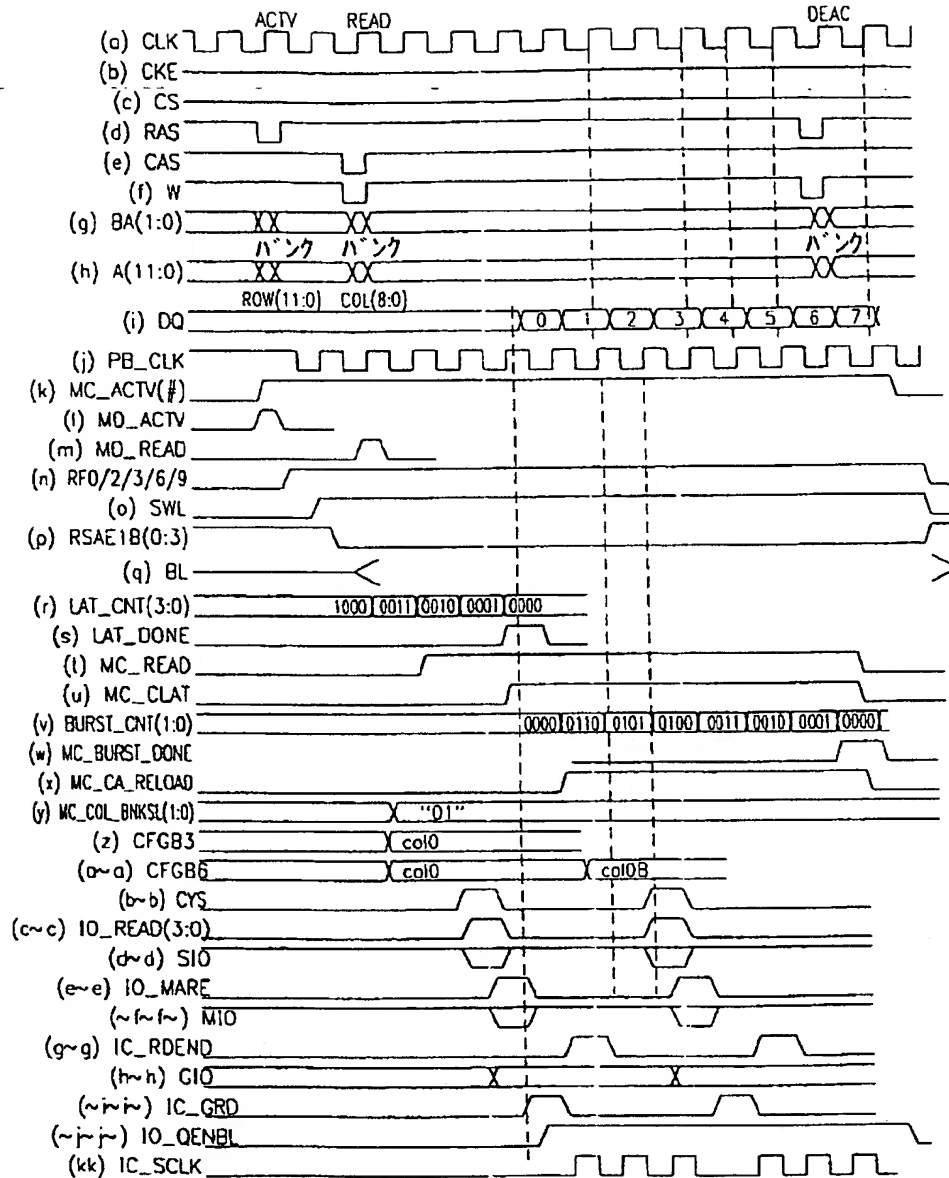
【図22】

8ビットバーストシーケンス																	
内部列番地 A2,A1,A0																	
		10進数								2進数							
		スタート	2番目	3番目	4番目	5番目	6番目	7番目	8番目	スタート	2番目	3番目	4番目	5番目	6番目	7番目	8番目
シリアル	0	1	2	3	4	5	6	7		000	001	010	011	100	101	110	111
	1	2	3	4	5	6	7	0		001	010	011	100	101	110	111	000
	2	3	4	5	6	7	0	1		010	011	100	101	110	111	000	001
	3	4	5	6	7	0	1	2		011	100	101	110	111	000	001	010
	4	5	6	7	0	1	2	3		100	101	110	111	000	001	010	011
	5	6	7	0	1	2	3	4		101	110	111	000	001	010	011	100
	6	7	0	1	2	3	4	5		110	111	000	001	010	011	100	101
	7	0	1	2	3	4	5	6		111	000	001	010	011	100	101	110
インターリーブ	0	1	2	3	4	5	6	7		000	001	010	011	100	101	110	111
	1	0	3	2	5	4	7	6		001	000	011	010	101	100	111	110
	2	3	0	1	6	7	4	5		010	011	000	001	110	111	100	101
	3	2	1	0	7	6	5	4		011	010	001	000	111	110	101	100
	4	5	6	7	0	1	2	3		100	101	110	111	000	001	010	011
	5	4	7	6	1	0	3	2		101	100	111	110	000	001	010	011
	6	7	4	5	2	3	0	1		110	111	100	101	010	011	000	001
	7	6	5	4	3	2	1	0		111	110	101	100	011	010	001	000

【図23】



【図24】



フロントページの続き

(72)発明者 パウレット サーストン  
アメリカ合衆国テキサス州プラノ、アミイ  
レーン 2221

(72)発明者 ヒュー ビー・マックアダムズ  
アメリカ合衆国テキサス州マッキニー、ル  
ート 4、ボックス 55